

明 細 書

光電変換装置

<技術分野>

本発明は、例えば、ファクシミリ、複写機、デジタルカメラ等に用いられる光電変換装置において遮光時に生じている暗電圧ノイズの除去に関するものである。

<背景技術>

従来はファクシミリ、複写機、デジタルカメラ等で使用されるイメージセンサにおいて主として CCD が用いられていたが、最近では MOS トランジスタやバイポーラトランジスタの増幅作用を有する素子を画素単位に備えた増幅型の光電変換装置も用いられるようになってきた。この増幅型光電変換装置において、高感度に信号を読み取るためにはノイズの除去が重要となっている。

従来の増幅型光電変換装置の例を図 6 に示す。光電変換素子 101 に光が入射されていない状態でも電流が流れてノイズの原因となっている。実際に光電変換装置 101 に光が入射して生じた信号を読み出す場合に、暗電圧ノイズ、暗電圧のばらつきに起因するノイズ(以下これらノイズを、ノイズ信号成分という)を除去する必要がある。まず、光電変換素子 101 に光が入射していない状態で生じるノイズ信号成分を出力するためにバッファアンプ 103 を介し、MOS トランジスタ 104 で構成される選択手段をオンしてノイズ蓄積手段 106 にノイズ信号成分の電荷を蓄積する。任意の蓄積時間の経過後、MOS トランジスタ 104 をオフする。次に光電変換素子 101 に光が入射することで生じる信号を、バッファアンプ 103 を通じて、MOS トランジスタ 105 をオンすることで、信号蓄積手段 107 に電荷を蓄積させる。任意の蓄積時間の経過後に MOS トランジスタ 105 をオフする。

このとき蓄積手段 106, 107 には、それぞれ暗電圧ノイズによる電荷と光入射時の電荷とが蓄積されている。そこで、MOS トランジスタ 110, 111 を同時にオンし、それぞれバッファアンプ 112, 113 を通じて、差動アンプ 114 に入力される。差動アンプ 114 において蓄積手段 107 と蓄積手段 106 の差をとり、蓄積手段 106 にお

けるノイズ信号成分を除去し、実際の入射光に起因する信号を取り出す。最後に、MOS トランジスタ 108, 109 をオンすることで蓄積手段 106, 107 の電荷をリセットする。また、光電変換素子 101 の残留電荷をリフレッシュために、MOS トランジスタ 102 をオンさせて、オフセット電圧が印加される。このように動作することで、ノイズ信号成分が除去でき、実際の入射光に起因し正味の信号を正確に取り出すことができる。(例えば、特開平 9-205588 号、特開平 8-255027 号参照)。

しかし、差動アンプ 114 には図 5 に示すような様々な素子(具体的には少なくとも MOS トランジスタ 8 個、コンデンサ 1 個、抵抗 1 個)が必要になり、差動アンプ分の占める面積が、光電変換素子装置の小型化に伴う占有面積の縮小の点で、少なからず問題があった。また、暗電圧ノイズ用バッファアンプ 112、光信号用バッファアンプ 113、の 2 つのアンプが必要であり、これも占有面積の点で問題となっていた。差動アンプ同様、バッファアンプ 112, 113 も一般的に複数の MOS トランジスタで構成されている。さらに、バッファアンプまたは差動アンプは一般的に高精度に機能させるために、さらに多くの素子を使用することがあり面積の問題は無視できない。

また、暗電圧ノイズ用バッファアンプ 112 と光信号用バッファアンプ 113 の 2 つのアンプ間に出力電圧のばらつきが生じて、実際には暗電圧ノイズ信号成分が完全には除去されず、正確な信号の読み取りがされない可能性があるという問題があった。特にバッファアンプ 112, 113 は、帰還をかける増幅率が 1 のバッファアンプであり、複数の MOS トランジスタ、又はバイポーラトランジスタによって構成されていることから、半導体集積回路の製造プロセスなどに起因するトランジスタ素子の特性誤差、特性のズレが生じることがあり、特に素子数が多いほど出力電圧のばらつきが生じる可能性が大きくなる傾向にある。

本発明は上記事情に鑑みてなされたものであり、発明の目的は、ノイズ信号成分を除去させ光入射に起因する信号を読み出す光電変換装置において、システム構成を簡潔にすることで、コストの削減、占有面積の縮小、又は複数のバッファ間のばらつきをなくすことである。

<発明の開示>

請求項 1 記載の発明は、光電変換素子と、前記光電変換素子から第 1 の期間に出力される出力信号を蓄積する為の第 1 の蓄積手段と、前記光電変換素子から前記第 1 の期間とは異なる第 2 の期間に出力される出力信号を蓄積する為の第 2 の蓄積手段と、前記光電変換素子からの出力信号を前記第 1 の蓄積手段又は第 2 の蓄積手段に選択的に導く為の第 1 のスイッチ手段及び第 2 のスイッチ手段とを有する光電変換装置であって、前記第 1 の蓄積手段の極性を変化させ、前記第 1 の蓄積手段及び前記第 2 の蓄積手段に蓄積された前記光電変換素子からの出力信号を同時に出力させる出力手段を備えてなる光電変換装置である。

請求項 2 記載の発明は、出力手段が、前記第 1 のスイッチ手段と前記第 1 の蓄積手段との間の接点に対して基準電圧を選択的に印加させる第 3 のスイッチ手段と、前記第 1 の蓄積手段と前記第 2 の蓄積手段に対して基準電圧を選択的に印加させる第 4 のスイッチ手段と、前記第 2 の蓄積手段と前記第 2 のスイッチ手段との間に接点をもち前記第 1 の蓄積手段及び前記第 2 の蓄積手段からの信号を読み出す第 5 のスイッチ手段からなる請求項 1 記載の光電変換装置である。

請求項 3 記載の発明は、光電変換素子と、前記光電変換素子から第 1 の期間に出力される出力信号を蓄積する為の第 1 の蓄積手段と、前記光電変換素子から前記第 1 の期間とは異なる第 2 の期間に出力される出力信号を蓄積する為の第 2 の蓄積手段と、前記光電変換素子からの出力信号を前記第 1 の蓄積手段又は第 2 の蓄積手段に選択的に導く為の第 1 のスイッチ手段及び第 2 のスイッチ手段とを有する光電変換装置であって、前記第 1 のスイッチ手段と前記第 1 の蓄積手段との間の接点に対して基準電圧を選択的に印加させる第 3 のスイッチ手段と、前記第 1 の蓄積手段と前記第 2 の蓄積手段に対して基準電圧を選択的に印加させる第 4 のスイッチ手段と、前記第 2 の蓄積手段と前記第 2 のスイッチ手段との間に接点をもち前記第 1 の蓄積手段及び前記第 2 の蓄積手段からの信号を読み出す第 5 のスイッチ手段とを備えてなる光電変換装置である。

請求項 4 記載の発明は、光電変換素子と、前記光電変換素子から第 1 の期間に出力される出力信号を蓄積する為の第 1 の蓄積手段と、前記光電変換素子から前記第 1 の期間とは異なる第 2 の期間に出力される出力信号を蓄積する為の第 2 の

蓄積手段と、前記光電変換素子からの出力信号を前記第 1 の蓄積手段又は第 2 の蓄積手段に選択的に導く為の第 1 のスイッチ手段及び第 2 のスイッチ手段とを有する光電変換装置であって、読出をおこなう場合に前記第 1 の蓄積手段に対して基準電圧を選択的に印加させる第 3 のスイッチ手段と、前記光電変換素子からの出力信号を蓄積する場合に前記第 1 の蓄積手段及び前記第 2 の蓄積手段に対して基準電圧を選択的に印加させる第 4 のスイッチ手段と、読出し時に前記第 1 の蓄積手段と前記第 2 の蓄積手段からの出力信号を同時に出力させる第 5 のスイッチ手段とを備えてなる光電変換装置を提供するものである。

請求項 5 記載の発明は、各々が画素を形成するマトリクス状に配列された複数の光電変換素子と、前記光電変換素子から第 1 の期間に出力される出力信号を蓄積する為の第 1 の蓄積手段と、前記光電変換素子から前記第 1 の期間とは異なる第 2 の期間に出力される出力信号を蓄積する為の第 2 の蓄積手段と 1 前記光電変換素子からの出力信号を前記第 1 の蓄積手段又は第 2 の蓄積手段に選択的に導く為の第 1 のスイッチ手段及び第 2 のスイッチ手段とを有する光電変換装置であって、読出をおこなう場合に前記第 1 の蓄積手段に対して基準電圧を選択的に印加させる第 3 のスイッチ手段と、前記光電変換素子からの信号を蓄積する場合に前記第 1 の蓄積手段及び前記第 2 の蓄積手段に対して基準電圧を選択的に印加させる第 4 のスイッチ手段と、読出し時に第 1 の蓄積手段と第 2 の蓄積手段からの信号を同時に出力させる第 5 のスイッチ手段とを備えており、画素毎にノイズ除去をさせることを特徴とした光電変換装置である。

請求項 6 記載の発明は、スイッチ手段が MOS トランジスタで構成されることを特徴とする請求項 1～5 記載の光電変換装置であり、

請求項 7 記載の発明は、第 4 のスイッチ手段が、第 1 の蓄積手段に基準電圧を選択的に印加させる第 1 の MOS トランジスタと、第 2 の蓄積手段に基準電圧を選択的に印加させる第 2 の MOS トランジスタと、前記第 1 の蓄積手段と前記第 1 の MOS トランジスタとの間の接点が、前記第 2 の蓄積手段と前記第 2 の MOS トランジスタとの間の接点に対して第 3 の MOS トランジスタを介して接続されてなることを特徴とする請求項 1～5 記載の光電変換装置に関するものである。

(作用)本発明によれば、ノイズ信号成分を蓄積した第 1 の蓄積手段の極性を変化させて、入射光に応じた光信号成分を蓄積した第 2 の蓄積手段との差から導き出された出力信号を出力線に出力する出力回路を構成することで、差動アンプなどの回路を構成する必要が無く、システム構成が簡潔になり、素子数の削減、レイアウト面積の縮小ができる。また、画素単位でノイズ信号成分を除去するような構成にできる。

<図面の簡単な説明>

図 1 は、本発明における第 1 の実施例の光電変換装置を説明するための回路図である。

図 2 は、本発明における第 1 の実施例の光電変換装置を説明するためのタイミングチャートである。

図 3 は、本発明における第 1 の実施例で複数の画素を 2 次元的に配列した光電変換装置を表した回路構成図である。

図 4 は、本発明における第 2 の実施例の光電変換装置を説明するための回路図である。

図 5 は、差動アンプの基本構成を示す回路図である。

図 6 は、従来例の光電変換装置を説明するための回路図である。

なお、図中の符号、1 は光電変換素子、3 はバッファアンプ、4 は第 1 のスイッチ手段、5 は第 2 のスイッチ手段、6 は第 1 の蓄積手段、7 は第 2 の蓄積手段、8 は第 3 のスイッチ手段、9 は第 4 のスイッチ手段、9a は第 1 の MOS トランジスタ、9b は第 2 の MOS トランジスタ、9c は第 3 の MOS トランジスタ、そして、10 は第 5 のスイッチ手段である。

<発明を実施するための最良の形態>

図 1 に本発明の第 1 の実施例を説明する回路図を示す。各画素単位にフォトダイオードからなる光電変換素子 1 が設けられ、光電変換素子 1 はバッファアンプ 3 に接続され、バッファアンプ 3 は、MOS トランジスタからなる第 1 のスイッチ手段 4 及び第 2 のスイッチ手段 5 における各々のソース側と接続される。MOS トランジスタからなる第 1 のスイッチ手段 4 のドレイン側は、コンデンサ等からなる

第 1 の蓄積手段 6 に接続されており、第 1 の蓄積手段 6 は、光電変換素子 1 からのノイズ信号を蓄積する。MOS トランジスタからなる第 1 のスイッチ手段 4 と第 1 の蓄積手段 6 との接続点は、MOS トランジスタからなる第 3 のスイッチ手段 8 を介して接地される。また、MOS トランジスタからなる第 2 のスイッチ手段 5 のドレイン側は、コンデンサ等からなる第 2 の蓄積手段 7 に接続されており、第 2 の蓄積手段 7 は、光電変換素子 1 からのノイズ信号を蓄積する。それぞれのスイッチ手段は、MOS トランジスタに限らず、バイポーラトランジスタで構成してもよい。

MOS トランジスタからなる第 5 のスイッチ手段 10 のソース側は、第 2 のスイッチ手段 5 と第 2 の蓄積手段 7 との間の接続点に、第 5 のスイッチ手段 10 のドレイン側は、バッファアンプ 11 に接続される。MOS トランジスタからなる第 4 のスイッチ手段 9 のソース側は、第 1 の蓄積手段 6 と第 2 の蓄積手段 7 の間に設けられた接続点と接続され、第 4 のスイッチ手段 9 のドレイン側は接地される。さらに、光電変換素子 1 は、MOS トランジスタからなるスイッチ手段 2 を介して、バイアス電圧が印加されようになっている。

図 2 に本発明の第 1 の実施例を説明するタイミングチャートを示し、動作及び構成を説明する。

まず、MOS トランジスタのゲートに印加する駆動パルス WTL, WTG をオンし(段階 1)光電変換素子 1 に光が入射することで生じる光信号を任意の期間内に、第 2 の蓄積手段 7 に蓄積する(段階 2)。続いて、駆動パルス WTL をオフ、駆動パルス VB をオンし、バイアス電圧を印加して、光電変換素子 1 のリフレッシュを行なう(段階 3)。このリフレッシュ動作直後、駆動パルス WTD をオンし、任意の期間内にノイズ信号を第 1 の蓄積手段 6 に蓄積する(段階 4)。この時点で、第 1 の蓄積手段 6 及び第 2 の蓄積手段 7 には、それぞれノイズ信号、光信号が蓄積されている。MOS トランジスタ 4 に印加される駆動パルス WTD の印加時間(ノイズ信号蓄積期間)と MOS トランジスタ 5 に印加される駆動パルス WTL の印加時間(光信号蓄積期間)は、光信号成分からノイズ信号成分を取り除いた正味の信号を正確に取り出すためほぼ同じすることが望ましい。

そして、駆動パルス WTG をオフし(段階 5)、続いて駆動パルス RDG をオンする(段

階 6) ことで、第 1 の蓄積手段 6 の極性を変化させ、第 2 の蓄積手段 7 の極性に合わせることで、第 2 の蓄積手段 7 に蓄積された光信号成分に相当する電圧から第 1 の蓄積手段 6 に蓄積されたノイズ信号成分に相当する電圧を差し引きし、ノイズ信号成分が除去される。さらに、駆動パルス RD をオンし、ノイズ信号成分の取り除かれた正味の光信号を取り出す(段階 7)。

(段階 2)における基準電圧に対する第 1 の蓄積手段 6 に蓄積されたノイズ信号成分の電位の値を $+V_d$ とし、(段階 4)における第 2 の蓄積手段に蓄積された光信号成分の電位の値を $+V_L$ とすると、(段階 5)、(段階 6)の後は、蓄積手段 6 と蓄積手段 7 が直接に接続されているため、蓄積手段 6 の極性は $-V_D$ となり、第 2 のスイッチ手段と蓄積手段 7 との間の接点の電位は、 $(V_L - V_D)$ となる。次に(段落 7)において、駆動パルス RD をオンさせることで、バッファアンプ 11 に電圧 $(V_L - V_D)$ が印加される。これによってノイズ信号成分が光信号成分から除去され、正味の信号が出力される。

基本画素構造を 2 次元的に表した光電変換装置を図 3 に示す。MOS トランジスタからなる第 5 のスイッチ手段 10 は、シフトレジスタ等の走査回路 13 によって駆動パルス RD が各画素からの信号を出力するため順次オンされる。順次出力された出力信号は、共通出力線 12 を介してバッファアンプ 11 に送られる。

図 4 に本発明の第 2 の実施例を説明する回路図を示す。第 4 のスイッチ手段が、第 1 実施形態とは異なり、3 つの MOS トランジスタから構成されている。第 1 の MOS トランジスタ 9a は、第 1 の蓄積手段 6 に基準電圧を選択的に印加させ、第 2 の MOS トランジスタは、第 2 の蓄積手段 7 に基準電圧を選択的に印加させる。第 3 の MOS トランジスタにおいては、第 1 の蓄積手段 6 と第 2 の第 1 の MOS トランジスタ 9b との間の接点を、第 3 の MOS トランジスタ 9c のソース側と接続させ、第 2 の蓄積手段 7 と第 2 の MOS トランジスタとの間の接点を第 3 の MOS トランジスタ 9c のドレイン側と接続させる。

第 2 の実施例における動作を説明する(タイミングチャートは図示せず)。基本的に、第 1 の実施例における図 2 のタイミングチャートに従うが、駆動パルス WTG1 をオンさせて第 1 の蓄積手段 6 にノイズ信号成分を蓄積し、駆動パルス WTG2 をオ

ンさせて、第 2 の蓄積手段 7 に光信号成分を蓄積する。また、WTG1 及び WTG2 をオフし、RDG をオンした後、WTG3 オンして、第 1 の蓄積手段 6 のノイズ信号成分を除去させるようにした。

ここで、光電変換素子 1 はフォトダイオードとしたが、キャパシタとバイポーラトランジスタとを組み合わせた素子でもよい。その場合、バイポーラトランジスタのベースに光入射によって発生した電荷を蓄積して、その電荷量によってエミッターコレクタ電極間の電流を制御する。また、キャパシタ電極にパルスを印加してリフレッシュ動作をおこなう。

また、第 1 及び第 2 の実施形態における基準電圧は、接地電圧としたが、可変電圧としてもよい(図示せず)。これは、第 1 のスイッチ手段 4、第 2 のスイッチ手段 5 がトランジスタである場合において生じる寄生容量が無視できないときに有効である。第 1 の蓄積手段 6 では暗電圧ノイズ信号成分以外、第 2 の蓄積手段 7 においては光信号成分以外の寄生容量起源のノイズが含まれるが、寄生容量起源の電圧分を除去するように可変電圧を任意の値に設定すればよい。また、その他、この寄生容量起源のノイズを除去する回路を構成させてもよい。

本発明の説明においては、光信号成分を先に蓄積させたが、ノイズ信号成分を先に蓄積させてノイズ信号成分を除去させることもできる。また、第 1 の蓄積手段 6 を光信号成分の蓄積に使用し、第 2 の蓄積手段 7 を、ノイズ成分蓄積に使用しても、電位の正負が逆になることを考慮するのみで実施可能である。

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2003 年 8 月 29 日出願の日本特許出願（特願 2003-307706）に基づくものであり、その内容はここに参照として取り込まれる。

<産業上の利用可能性>

本発明によれば、差動アンプないし余分なバッファアンプ等の回路を構成する必要が無い場合、システム構成が簡潔になり、素子数の削減、レイアウト面積を縮小できる。また、暗電圧ノイズ用バッファアンプと光信号用バッファアンプの

2つのアンプを必要としないために面積縮小の効果の他にも、出力電圧のばらつきが生じて暗電圧ノイズ信号成分が精度よく除去されないという不具合が生じ無いため、正確な信号の読み取りができる。

請 求 の 範 囲

1. 光電変換素子と、前記光電変換素子から第1の期間に出力される出力信号を蓄積する為の第1の蓄積手段と、前記光電変換素子から前記第1の期間とは異なる第2の期間に出力される出力信号を蓄積する為の第2の蓄積手段と、前記光電変換素子からの出力信号を前記第1の蓄積手段又は第2の蓄積手段に選択的に導く為の第1のスイッチ手段及び第2のスイッチ手段とを有する光電変換装置であって、前記第1の蓄積手段の極性を変化させ、前記第1の蓄積手段及び前記第2の蓄積手段に蓄積された前記光電変換素子からの出力信号を同時に出力させる出力手段を備えてなる光電変換装置。

2. 出力手段が、前記第1のスイッチ手段と前記第1の蓄積手段との間の接点に対して基準電圧を選択的に印加させる第3のスイッチ手段と、前記第1の蓄積手段と前記第2の蓄積手段に対して基準電圧を選択的に印加させる第4のスイッチ手段と、前記第2の蓄積手段と前記第2のスイッチ手段との間に接点をもち前記第1の蓄積手段及び前記第2の蓄積手段からの信号を読み出す第5のスイッチ手段からなる請求の範囲第1項記載の光電変換装置。

3. 光電変換素子と、前記光電変換素子から第1の期間に出力される出力信号を蓄積する為の第1の蓄積手段と、前記光電変換素子から前記第1の期間とは異なる第2の期間に出力される出力信号を蓄積する為の第2の蓄積手段と、前記光電変換素子からの出力信号を前記第1の蓄積手段又は第2の蓄積手段に選択的に導く為の第1のスイッチ手段及び第2のスイッチ手段とを有する光電変換装置であって、前記第1のスイッチ手段と前記第1の蓄積手段との間の接点に対して基準電圧を選択的に印加させる第3のスイッチ手段と、前記第1の蓄積手段と前記第2の蓄積手段に対して基準電圧を選択的に印加させる第4のスイッチ手段と、前記第2の蓄積手段と前記第2のスイッチ手段との間に接点をもち前記第1の蓄積手段及び前記第2の蓄積手段からの信号を読み出す第5のスイッチ手段とを備えてなる光電変換装置。

4. 光電変換素子と、前記光電変換素子から第1の期間に出力される出力信号を蓄積する為の第1の蓄積手段と、前記光電変換素子から前記第1の期間とは異なる第2の期間に出力される出力信号を蓄積する為の第2の蓄積手段と、前記光電変換素子からの出力信号を前記第1の蓄積手段又は第2の蓄積手段に選択的に導く為の第1のスイッチ手段及び第2のスイッチ手段とを有する光電変換装置であって、読出をおこなう場合に前記第1の蓄積手段に対して基準電圧を選択的に印加させる第3のスイッチ手段と、前記光電変換素子からの出力信号を蓄積する場合に前記第1の蓄積手段及び前記第2の蓄積手段に対して基準電圧を選択的に印加させる第4のスイッチ手段と、読出し時に前記第1の蓄積手段と前記第2の蓄積手段からの出力信号を同時に出力させる第5のスイッチ手段とを備えてなる光電変換装置。

5. 各々が画素を形成するマトリクス状に配列された複数の光電変換素子と、前記光電変換素子から第1の期間に出力される出力信号を蓄積する為の第1の蓄積手段と、前記光電変換素子から前記第1の期間とは異なる第2の期間に出力される出力信号を蓄積する為の第2の蓄積手段と、前記光電変換素子からの出力信号を前記第1の蓄積手段又は第2の蓄積手段に選択的に導く為の第1のスイッチ手段及び第2のスイッチ手段とを有する光電変換装置であって、読出をおこなう場合に前記第1の蓄積手段に対して基準電圧を選択的に印加させる第3のスイッチ手段と、前記光電変換素子からの信号を蓄積する場合に前記第1の蓄積手段及び前記第2の蓄積手段に対して基準電圧を選択的に印加させる第4のスイッチ手段と、読出し時に第1の蓄積手段と第2の蓄積手段からの信号を同時に出力させる第5のスイッチ手段とを備えており、画素毎にノイズ除去をさせることを特徴とした光電変換装置。

6. スイッチ手段が MOS トランジスタで構成されることを特徴とする請求の範囲第1項～第5項記載の光電変換装置。

7. 第4のスイッチ手段は、第1の蓄積手段に基準電圧を選択的に印加させる第1の MOS トランジスタと、第2の蓄積手段に基準電圧を選択的に印加させる第2の MOS トランジスタと、前記第1の蓄積手段と前記第1の MOS トランジスタとの

間の接点が、前記第 2 の蓄積手段と前記第 2 の MOS トランジスタとの間の接点に対して第 3 の MOS トランジスタを介して接続されてなることを特徴とする請求の範囲第 1 項～第 5 項記載の光電変換装置。

図 2

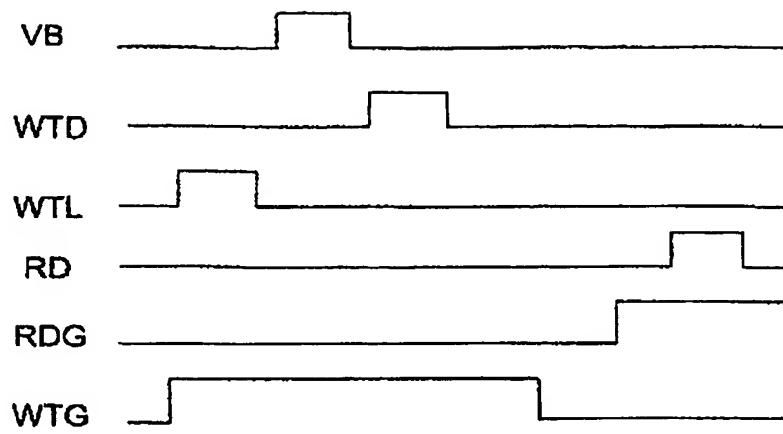


图 3

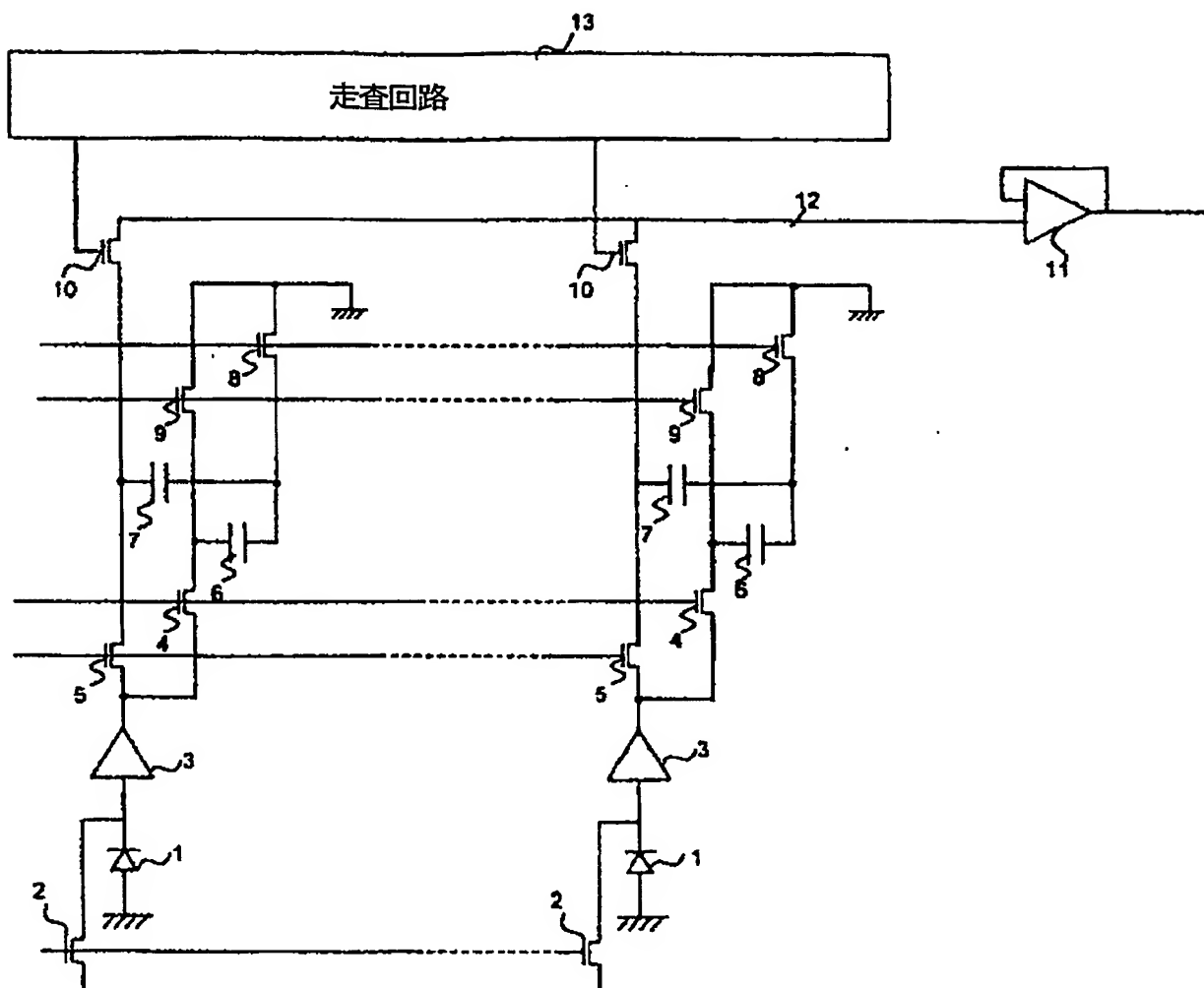


図 4

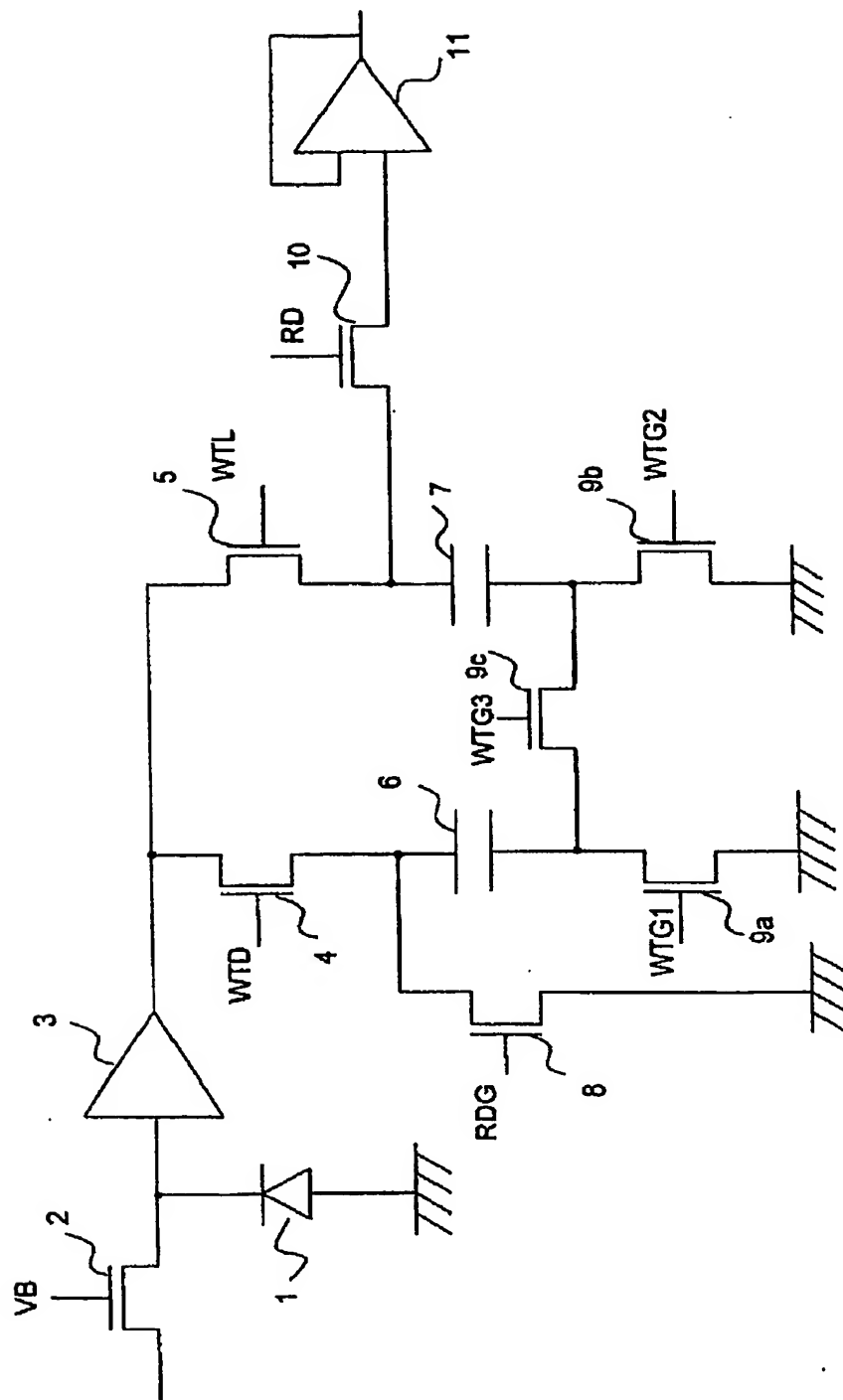


図 5

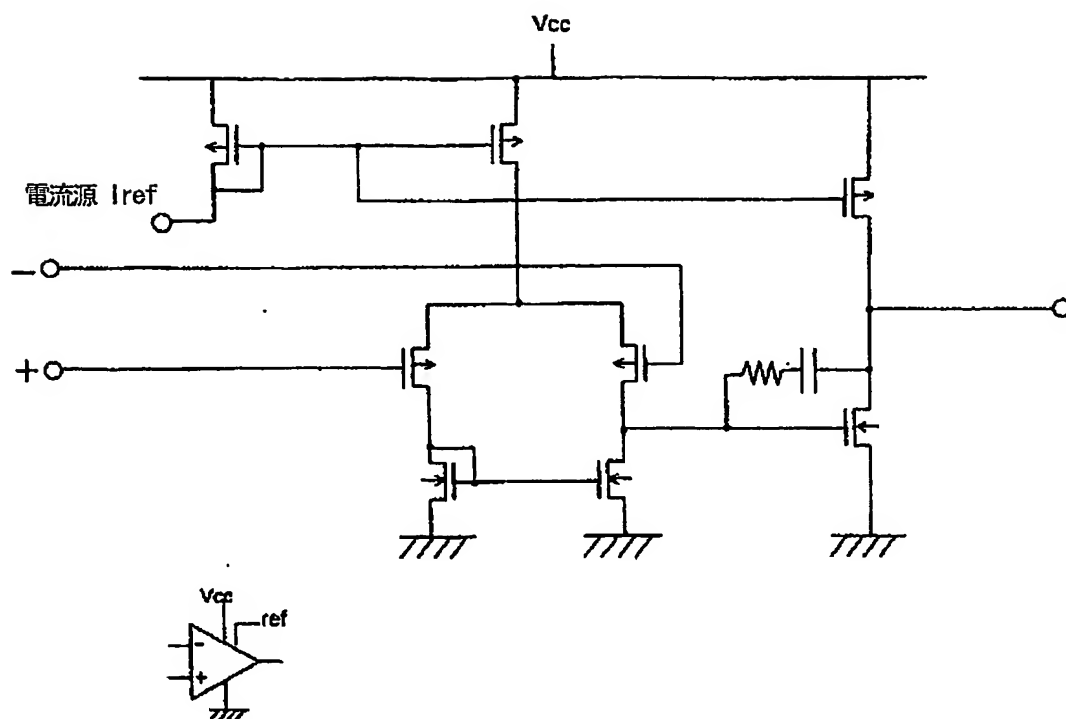
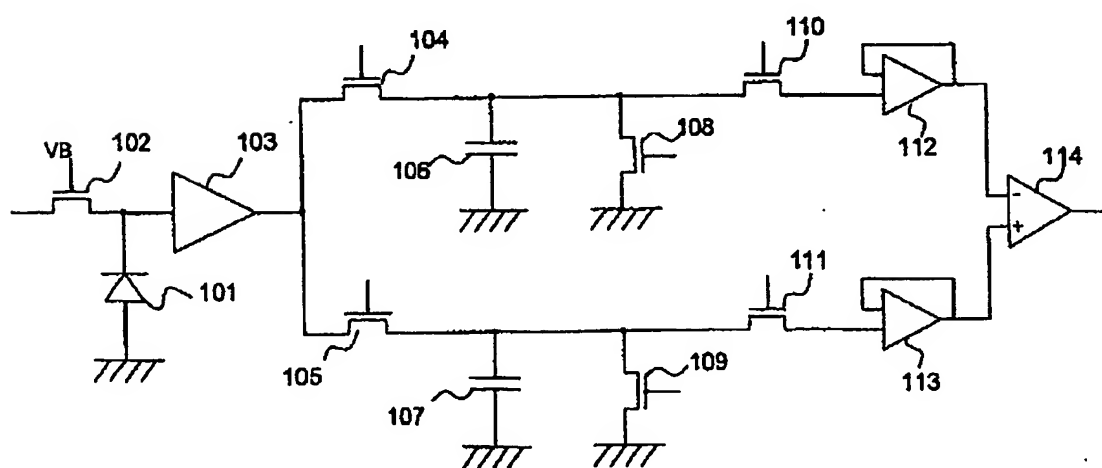


図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012593

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N5/335, H01L27/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/30-5/335, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-145681 A (Sony Corp.), 29 May, 1998 (29.05.98), Par. Nos. [0021] to [0053]; Figs. 1 to 6 & US 6483541 B1 & US 2003/25817 A1	1-7
A	JP 2002-232786 A (Symagery Microsystems Inc.), 16 August, 2002 (16.08.02), Par. Nos. [0019] to [0051]; Figs. 1 to 7 & EP 1220534 A1 & US 2002/105012 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 December, 2004 (01.12.04)

Date of mailing of the international search report
21 December, 2004 (21.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H04N 5/335 H01L27/14		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H04N 5/30-5/335 H01L27/14		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-145681 A (ソニー株式会社) 1998. 05. 29, 段落【0021】-【0053】, 第1-6図 & US 6483541 B1 & US 2003/25817 A1	1-7
A	JP 2002-232786 A (シマジェリー マイクロシステムズ インコーポレイテッド) 2002. 08. 16, 段落【0019】- 【0051】, 第1-7図 & EP 1220534 A1 & US 2002/105012 A1	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 01. 12. 2004	国際調査報告の発送日 21.12.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 徳田 賢二	5 P 9654
電話番号 03-3581-1101 内線 3502		